

PATENT ABSTRACTS OF JAPAN

W1189

(11)Publication number : 2001-167040

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

G06F 13/10
G06F 3/06

(21)Application number : 11-353806

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.12.1999

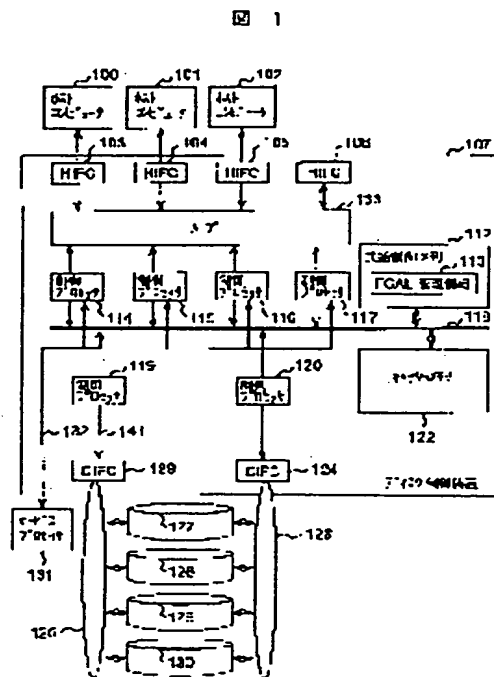
(72)Inventor : NAKAYAMA SHINICHI
YOKOHATA SHIZUO

(54) MEMORY SUBSYSTEM AND MEMORY CONTROL UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the performance of a memory control unit, especially, to provide a high performance for effectively utilizing high-speed data transfer, that a fiber channel has, and to enable the connection of a host computer having plural kinds of interfaces.

SOLUTION: A loop 133 is a common loop transmission line having a fiber channel interface. HIFC 103, 104 and 105 are respectively connected with host computers 100, 101 and 102 of different interfaces and have a function for conversion with the fiber channel interface as needed. Each of control processors 114-117 is a processor shared by the HIFC 103-105. Each of control processors 114-117 refers to FCAL managing information, fetches a frame having a set address among frames flowing on the loop 133 and processes the input/output request within the set LUN range.



LEGAL STATUS

[Date of request for examination] 18.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-167040

(P2001-167040A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テームコード(参考)
G 0 6 F 13/10	3 4 0	G 0 6 F 13/10	3 4 0 A 5 B 0 1 4
3/06	5 4 0	3/06	5 4 0 5 B 0 6 5

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願平11-353806

(22) 出願日 平成11年12月14日 (1999. 12. 14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中山 信一

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

(72) 発明者 横畑 静生

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

Fターム(参考) 5B014 EB05 FA04

5B065 BA01 CA04 CA11 CA15 CE21

ZA08

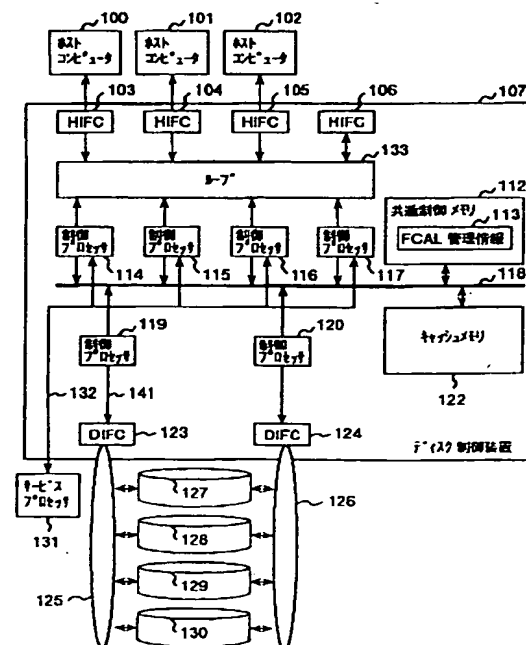
(54) 【発明の名称】 記憶サブシステム及び記憶制御装置

(57) 【要約】

【課題】 記憶制御装置の性能向上、特にファイバチャネルのもつ高速データ転送を生かすような高性能をもつとともに、信頼性の向上を図る。また複数種類のインタフェースをもつホストコンピュータを接続可能とする。

【解決手段】 ループ133はファイバチャネルインタフェースをもつ共通のループ伝送路である。HIFC103、104、105は、各々インタフェースの異なるホストコンピュータ100、101、102と接続し、必要に応じファイバチャネルインタフェースとの間の変換機能を有する。制御プロセッサ114~117は、HIFC103~105によって共有されるプロセッサである。制御プロセッサ114~117は、各々FCAL管理情報113を参照し、ループ133を流れるフレームのうち設定されたアドレスをもつフレームを取り込み、設定されたLUN範囲の入出力要求の処理をする。

図 1



【特許請求の範囲】

【請求項1】上位外部から受け取った入出力要求に応じて下位外部との間で入出力データの転送を制御する記憶制御装置において、前記記憶制御装置は、上位外部とのインタフェースに応じて前記入出力要求を受け取る少なくとも1台の外部インタフェースコントローラと、前記入出力要求の処理をする少なくとも1台の制御プロセッサと、前記外部インタフェースコントローラと前記制御プロセッサとの間に介在し、両者間の情報伝送の伝送路となるファイバチャネルインタフェースのループとを有することを特徴とする記憶制御装置。

【請求項2】前記外部インタフェースコントローラの上位外部とのインタフェースは、ファイバチャネルインタフェースであることを特徴とする請求項1記載の記憶制御装置。

【請求項3】前記外部インタフェースコントローラは、ファイバチャネルインタフェースと異なる上位外部とのインタフェースと前記ループのファイバチャネルインタフェースとの間のインタフェース変換機能を有することを特徴とする請求項1記載の記憶制御装置。

【請求項4】前記ループは、入力信号に応じて前記外部インタフェースコントローラと前記制御プロセッサとの間の伝送経路を形成する電子スイッチ機構を有することを特徴とする請求項1記載の記憶制御装置。

【請求項5】上位外部から受け取った入出力要求に応じて下位側の記憶媒体の駆動装置との間で入出力データの転送を制御する記憶サブシステムにおいて、前記記憶サブシステムは、上位外部とのインタフェースに応じて前記入出力要求を受け取る少なくとも1台の外部インタフェースコントローラと、前記入出力要求の処理をする少なくとも1台の制御プロセッサと、前記外部インタフェースコントローラと前記制御プロセッサとの間に介在し、両者間の情報伝送の伝送路となるファイバチャネルインタフェースのループとを有することを特徴とする記憶サブシステム。

【請求項6】上位外部から受け取った入出力要求に応じて下位外部との間で入出力データの転送を制御する記憶制御装置において、前記記憶制御装置は、前記入出力要求を受け取る複数の外部インタフェースコントローラと、前記入出力要求の処理をする複数の制御プロセッサと、前記外部インタフェースコントローラと前記制御プロセッサとの間に介在し、両者間の情報伝送の伝送路となるファイバチャネルインタフェースのループとを有し、前記制御プロセッサは、前記ループを介して送られる前記入出力要求のうち自プロセッサ宛てのアドレスを有するフレームを読み込む手段と、読み込んだフレームについて前記入出力要求の処理をする手段とを有することを特徴とする記憶制御装置。

【請求項7】上位外部から受け取った入出力要求に応じて下位外部との間で入出力データの転送を制御する記憶

制御装置において、前記記憶制御装置は、前記入出力要求を受け取る複数の外部インタフェースコントローラと、前記入出力要求の処理をする複数の制御プロセッサと、前記外部インタフェースコントローラと前記制御プロセッサとの間に介在し、両者間の情報伝送の伝送路となるファイバチャネルインタフェースのループと、前記制御プロセッサによって共通にアクセスされ前記制御プロセッサ対応に処理すべき入出力要求の論理ユニット番号を記憶する記憶手段とを有し、前記制御プロセッサは、他の制御プロセッサの稼動状態を監視する手段と、他の制御プロセッサが停止していることを検出したとき、前記記憶手段上の前記論理ユニット番号を書き換えることにより、停止した制御プロセッサに関する処理を引き継ぐ手段とを有することを特徴とする記憶制御装置。

【請求項8】前記記憶手段は、前記制御プロセッサ対応に前記ループ上の物理アドレスと処理すべき入出力要求の論理ユニット番号とを記憶し、前記制御プロセッサは、他の制御プロセッサが停止していることを検出したとき、前記記憶手段上の前記物理アドレスと前記論理ユニット番号とを引き継ぐべく書き換えることにより、停止した制御プロセッサに関する処理を引き継ぐ手段とを有することを特徴とする請求項7記載の記憶制御装置。

【請求項9】上位外部から受け取った入出力要求に応じて下位外部との間で入出力データの転送を制御する記憶制御装置において、前記記憶制御装置は、前記入出力要求を受け取る複数の外部インタフェースコントローラと、前記入出力要求の処理をする複数の制御プロセッサと、前記外部インタフェースコントローラと前記制御プロセッサとの間に介在し、両者間の情報伝送の伝送路となるファイバチャネルインタフェースのループと、前記制御プロセッサによって共通にアクセスされ前記制御プロセッサ対応に処理すべき入出力要求の論理ユニット番号を記憶する記憶手段とを有し、前記制御プロセッサは、処理入出力要求数を計数する手段と、他の制御プロセッサに処理入出力要求数を通知する手段と、他の制御プロセッサの処理入出力要求数を取得する手段と、制御プロセッサ間の処理入出力要求数が平均化するように前記記憶手段上の前記論理ユニット番号を書き換える手段とを有することを特徴とする記憶制御装置。

【請求項10】上位のホストコンピュータから受け取った入出力要求に応じて下位側の記憶媒体の駆動装置との間で入出力データの転送を制御する記憶サブシステムにおいて、前記記憶サブシステムは、上位ホストコンピュータとのインタフェースに応じて前記入出力要求を受け取る少なくとも1台の外部インタフェースコントローラと、データを一時的に格納するキャッシュメモリと、前記入出力要求を解析し、前記ホストコンピュータと前記キャッシュメモリとの間で行う入出力データの転送を制御する少なくとも1台の上位側の制御プロセッサと、前

記外部インタフェースコントローラと前記上位側の制御プロセッサとの間に介在し、両者間の情報伝送の伝送路となるファイバチャネルインタフェースのループと、前記キャッシュメモリと前記記憶媒体の駆動装置との間で行う入出力データの転送を制御する少なくとも1台の下位側の制御プロセッサと、前記下位側の制御プロセッサと前記記憶媒体の駆動装置との間に介在し、下位駆動装置とのインタフェースに応じて前記記憶媒体の駆動装置との間で入出力データの転送を行うドライバインタフェースコントローラとを有することを特徴とする記憶サブシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、上位側でホストコンピュータと接続する記憶サブシステム及び記憶制御装置に係わり、特に処理性能及び信頼性の向上を図る記憶サブシステム及び記憶制御装置に関する。

【0002】

【従来の技術】近年、コンピュータシステムの大規模化、データ処理の高速化、24時間あるいは365日無停止運転の必要性、データ転送インタフェースの高速化などに伴い、記憶制御装置に対して性能、信頼性、可用性の向上が強く要求されている。性能向上を目的とする記憶制御装置の例として、記憶制御装置内に内部ネットワークを備えることにより性能向上を図ることを目的とする特開平11-7359号公報に開示される技術がある。

【0003】また記憶制御装置に接続するホストコンピュータとの間のインタフェースについて着眼すると、図8に示すように複数種類のインタフェースをもつホストコンピュータを接続する必要性が生じている。記憶制御装置内のホストインタフェース部は、ホストインタフェースごとに設けられ、その制御プロセッサは、ホストコンピュータから受け取った入出力コマンドを解析し、信号線を介してキャッシュメモリ215との間でデータ転送を行う。例えば特開平9-325905号公報はこのような記憶制御装置を開示する。

【0004】さらに近年、性能及び可用性を向上させるために、ホストコンピュータと記憶制御装置との間のインタフェースをSCSI (Small Computer System Interface) からファイバチャネルインタフェースに置き換えた公知技術が知られている。例えば特開平10-333839号公報は、記憶制御装置とホストコンピュータ間をファイバチャネルインタフェースによって接続する技術を開示する。これはファイバチャネルインタフェースを有するホストコンピュータ専用の記憶制御装置である。

【0005】

【発明が解決しようとする課題】上記の特開平11-7359号公報および特開平9-325905号公報に開

示される技術は、ホストコンピュータから受け取った入出力要求を一つの制御プロセッサが処理するため、制御プロセッサの性能によって記憶制御装置全体の性能が押さえられるという問題がある。また制御プロセッサの障害によって関連するホストコンピュータから記憶制御装置が使用できなくなるという問題がある。特に昨今のファイバチャネルは100MB/Sという高速データ転送が可能であるため、制御プロセッサの処理性能がネックとなってファイバチャネルのもつデータ転送速度を充分生かせない。

【0006】さらに特開平10-333839号公報に開示された技術はファイバチャネルインタフェース専用の記憶制御装置であるため、SCSIインタフェースを有するホストコンピュータを接続することができない。

【0007】本発明の目的は、記憶制御装置の性能向上、特にファイバチャネルのもつ高速データ転送を生かすような高性能をもつとともに、信頼性、可用性の高い記憶サブシステム及び記憶制御装置を提供することにある。

【0008】本発明の他の目的は、複数種類のインタフェースをもつホストコンピュータを接続可能な記憶サブシステム及び記憶制御装置を提供することにある。

【0009】

【課題を解決するための手段】本発明は、上位外部から受け取った入出力要求に応じて下位側の記憶媒体の駆動装置との間で入出力データの転送を制御する記憶サブシステムにおいて、この記憶サブシステムは、上位外部とのインタフェースに応じて入出力要求を受け取る少なくとも1台の外部インタフェースコントローラと、入出力要求の処理をする少なくとも1台の制御プロセッサと、外部インタフェースコントローラと制御プロセッサとの間に介在し、両者間の情報伝送の伝送路となるファイバチャネルインタフェースのループとを有する記憶サブシステムを特徴とする。またこのような記憶制御装置を特徴とする。

【0010】また本発明は、上位外部とのインタフェースがファイバチャネルインタフェースであるような外部インタフェースコントローラ、およびファイバチャネルインタフェースと異なる上位外部とのインタフェースとファイバチャネルインタフェースとの間のインタフェース変換機能を有する外部インタフェースコントローラを設けた記憶サブシステム及び記憶制御装置を特徴とする。

【0011】

【発明の実施の形態】以下、本発明の実施形態について図面により詳細に説明する。

【0012】図1は、本発明の一実施形態を示すディスクサブシステムを含むシステムの構成図である。ディスク制御装置107は、上位外部側で、ホストコンピュータ100、101及び102と接続する。ホストコンピ

ュータ101は、メインフレーム系のコンピュータであり、メインフレーム系チャンネルを介してディスク制御装置107と接続する。ホストコンピュータ100は、オープンシステム系のホストコンピュータであり、ファイバチャンネルインタフェースを介してディスク制御装置107と接続する。ホストコンピュータ102は、オープンシステム系のコンピュータであり、SCSI (Small Computer System Interface) を介してディスク制御装置107と接続する。ディスク制御装置107は、下位外部側でファイバチャンネルインタフェースのループ125及び126を介してドライブ127、128、129及び130と接続する。

【0013】ホストインタフェースコントローラ(HIFC)103、104及び105は、それぞれホストコンピュータ100、101及び102と接続し、また他方でファイバチャンネルインタフェースに準拠するループ133と接続する。制御プロセッサ114、115、116及び117は、一方でループ133と接続し、また他方で共通バス118と接続する。共通バス118には、制御プロセッサ114～117のほかにも共通制御メモリ112、キャッシュメモリ122、制御プロセッサ119及び120が接続される。制御プロセッサ119および120は、それぞれファイバチャンネル141を介してドライブインタフェースコントローラ(DIFC)123及び124と接続する。DIFC123および124は、それぞれループ125及び126を介してドライブ127、128、129及び130と接続する。制御プロセッサ114、115、116及び117は、信号線132を介してサービスプロセッサ131と接続する。

【0014】HIFC103は、上位外部との間のインタフェースコントローラであり、ホストコンピュータ100からフレームの形式で受け取った入出力コマンド、データ及び制御情報をそのままの形式でループ133を介して制御プロセッサ114～117のいずれかへ転送する。またループ133を介して制御プロセッサ114～117からフレームの形式で受け取ったデータ及び制御情報をそのままホストコンピュータ100へ転送する。HIFC104は、ホストコンピュータ101から受け取ったチャンネルコマンド、データ及び制御情報をファイバチャンネルのフレーム形式に変換し、ループ133を介して制御プロセッサ114～117のいずれかへ転送する。また制御プロセッサ114～117からフレームの形式で受け取ったデータ及び制御情報をメインフレーム系のチャンネルインタフェースに従うデータ形式に変換してホストコンピュータ101へ転送する。HIFC105は、ホストコンピュータ102から受け取った入出力コマンド、データ及び制御情報をファイバチャンネルのフレーム形式に変換し、ループ133を介して制御プロセッサ114～117のいずれかへ転送する。また制

御プロセッサ114～117からフレームの形式で受け取ったデータ及び制御情報をSCSIに従うデータ形式に変換してホストコンピュータ102へ転送する。1台のHIFC103、104又は105にそれぞれ複数台のホストコンピュータ100、101及び102を接続することも可能である。

【0015】キャッシュメモリ122は、共通バス118のバスインタフェースを介してすべての制御プロセッサ114～117、119及び120からアクセス可能なメモリであり、ホストコンピュータ100～102から送られたデータ及びドライブ127～130から読み出したデータを一時的に格納するために用いられる。キャッシュメモリ122上のデータは、キャッシュスロットと呼ばれるデータ管理単位に分割されている。

【0016】共通制御メモリ112は、共通バス118を介してすべての制御プロセッサ114～117、119及び120からアクセス可能な共通メモリであり、制御プロセッサ間の通信のための領域、キャッシュスロット管理テーブルなどのほかに、制御プロセッサ114～117の各々がループ133を介して取り込むべきフレームを設定するFCAL (Fibre Channel Arbitrated Loop) 管理情報113を格納する。

【0017】制御プロセッサ114～117の各々は、共通制御メモリ112上のFCAL管理情報113を参照し、ループ133上を流れるフレームのうち設定されたアドレスをもつフレームを取り込み、入出力コマンドによって指定された入出力要求を実行する。すなわちリードコマンドの場合には、キャッシュメモリ122上に要求されたデータがあれば読み出して、ループ133及びHIFC103～105のいずれかを介して要求元のホストコンピュータへ送信する。キャッシュメモリ122上に要求されたデータがなければ、制御プロセッサ119及び120に対して入出力要求を通知する。またライトコマンドの場合には、書き込みデータをキャッシュメモリ122上のキャッシュスロットに書き込み、制御プロセッサ119及び120に対して入出力要求を通知する。

【0018】制御プロセッサ119及び120は、制御プロセッサ114～117から入出力要求の通知を受け取り、リードコマンドの場合にはドライブ127～130から要求されたデータを読み出してキャッシュメモリ122上のキャッシュスロットに書き込む。またライトコマンドの場合には、キャッシュメモリ122上のデータをドライブ127～130上に書き込む。

【0019】図2は、HIFC103～106と制御プロセッサ114～117との間に介在し、両者間の伝送路となるループ133及び関連機構の構成を示す図である。ループ133は、PBC (Port Bypass Circuit) 108、109、110及び111を有し、いわゆるハブ(HUB)構造を形成している。PBC108～111

は、各々1入力n出力の電子スイッチであり、図示するようにHIFC103～106及び制御プロセッサ114～117と接続するとともに、PBC108、PBC111間及びPBC109、PBC110間を接続する。本例のPBC108～111は、1入力2出力のスイッチであり、PBCに入力信号を与えると出力経路を限定することができる。ファイバコントローラ（FC）151は、制御プロセッサ114～117の各々に前置するファイバチャネルインタフェースコントローラであり、ループ133を介して送られるフレームの宛先アドレスを認識し、あらかじめ設定されたアドレスを宛先アドレスとするフレームを取り込んで接続される制御プロセッサへ送る。また制御プロセッサ114～117から受け取ったデータ及び制御情報をフレーム形式のデータにしてループ133へ送出する。ループ133は、HIFC103～106、FC151及び制御プロセッサ114～117を端末としてFibre Channel Arbitrated Loop（FCAL）と呼ばれるトポロジカルなループ伝送路を形成する。ファイバチャネルの通信プロトコルについては、例えばANSI公開マニュアル「FIBRE CHANNEL PHYSICAL AND SIGNALLING（FC-PH）REV.4.3」に記載されている。

【0020】例えばPBC108は、HIFC103を介してホストコンピュータ100と接続され、制御プロセッサ114、115及びPBC111と接続可能である。従ってホストコンピュータ100から送られた入出力要求のコマンドは、PBC108を介して制御プロセッサ114、115又はPBC111を介して制御プロセッサ116、117で処理することができる。同様にホストコンピュータ101から送られた入出力要求のコマンドは、PBC109を介して制御プロセッサ114、115又はPBC110を介して制御プロセッサ116、117で処理することができる。

【0021】本実施形態では、ファイバチャネル141、ループ125及び126にも、ファイバチャネルインタフェースを採用している。従って図示していないが、制御プロセッサ119、120とファイバチャネル141との間にFC151が介在する。

【0022】図3は、FCAL管理情報113のデータ構成を示す図である。FCAL管理情報113は、制御プロセッサ114～117の各々についてループ133を介して取り込むべきフレームと入出力処理の対象とするデバイス番号の範囲を設定するテーブルである。FCAL管理情報113の各エントリは、制御プロセッサ201、AL-PA（Arbitrated Loop Physical Address）202及びLUN（Logical Unit Number）203を有する。制御プロセッサ201は、制御プロセッサ114～117のいずれかの制御プロセッサの識別子である。AL-PA202は、その制御プロセッサに割り当てられたループ133上のアドレスである。LUN203は、

制御プロセッサが入出力処理を分担する論理デバイス番号又は論理デバイス番号の範囲である。FCAL管理情報113の情報は、サービスプロセッサ131からの指示により設定又は設定解除することができる。

【0023】図4は、制御プロセッサ114～117の処理の流れを示すフローチャートである。制御プロセッサ114～117は、各々周期的にFCAL管理情報113から自プロセッサのエントリを読み込み、接続されているFC151に自プロセッサのAL-PAを設定し、変更があればAL-PAを再設定する。FC151は、HIFC103及びループ133を介してホストコンピュータ100から送られるフレーム上のAL-PAを読み取り（ステップ301）、接続されている制御プロセッサのAL-PAでなければ（ステップ302NO）、処理を終了する。接続されている制御プロセッサのAL-PAであれば（ステップ302YES）、その制御プロセッサに通知する。通知を受けた制御プロセッサ114～117のいずれかは、FC151を介してフレームを読み込み（ステップ303）、フレーム中の入出力コマンドのLUNがLUN203の範囲にあるか否かをチェックする（ステップ304）。もし指定されたLUNがLUN203の範囲になければホストコンピュータ100へエラー応答を返す。次に制御プロセッサは受け取った入出力コマンドに従って入出力要求を実行する（ステップ305）。

【0024】制御プロセッサ114～117は、入出力要求が書き込み要求であれば、ホストコンピュータ100からデータを受領し、キャッシュメモリ122上の該当するキャッシュスロットにデータを書き込み、書き込み要求処理を終了する。データを書き込むべきキャッシュスロットのスロット番号はデータに付されたLBA（Logical Block Address）から計算される。またスロット番号に対応するキャッシュメモリ122上のメモリアドレスは、共通制御メモリ112上のキャッシュスロット管理テーブルから得られる。入出力要求が読み出し要求であれば、キャッシュメモリ122上に要求されたデータがある場合、キャッシュメモリ122から読み出し、ループ133及びHIFC103を介してホストコンピュータ100へ送る。キャッシュスロット管理テーブルを参照することによって目的のデータの有無を判定することができる。キャッシュメモリ122上に要求されたデータがなければ、共通制御メモリ112上のプロセッサ間連絡領域に読み出し要求を書き込み、目的のデータがキャッシュメモリ122上に格納されたと判定したとき、キャッシュメモリ122から読み出してホストコンピュータ100へ送る。

【0025】制御プロセッサ119、120は、キャッシュメモリ122を探索し、キャッシュスロットにドライブ127～130に書き込むべきデータがあれば、ファイバチャネル141、DIFC123、124及びル

ープ125, 126を介してそのデータをドライブ127~130に書き込む。この書き込みは、ホストコンピュータ100と制御プロセッサ114~117との間の入出力要求の処理動作とは非同期に行われる。制御プロセッサ119, 120は、指定されたLUN及びLBAを物理デバイス番号と物理アドレスに変換して書き込み対象とするドライブとドライブ内アドレスを決定する。制御プロセッサ119, 120は、共通制御メモリ112上のプロセッサ間連絡領域を参照し、データ読み出し要求があれば、該当するドライブ127~130からデータを読み出し、キャッシュメモリ122上の該当するキャッシュスロットに書き込み、キャッシュスロット管理テーブル上で該当するデータ有に更新する。

【0026】ドライブ127~130への入出力要求は、制御プロセッサ119, 120のいずれでも処理可能である。例えば制御プロセッサ119またはファイバインタフェースのループ125が故障等で使用できないとき、制御プロセッサ120とファイバインタフェースのループ126によって入出力要求を処理できる。これにより障害発生時もドライブ127~130への入出力を停止することなく入出力要求を実行できる。

【0027】制御プロセッサ114, 115, 116及び117は、お互いの制御プロセッサの状態を監視している。各制御プロセッサは、一定周期で共通制御メモリ112に現在時刻を書き込む。それを他の制御プロセッサが一定周期で参照し、前回参照時と時刻の差分があるか否かをチェックし、差分がなければ当該制御プロセッサは停止していると判断する。停止状態を見つけた制御プロセッサは、FCAL管理情報113からその制御プロセッサの管理情報を引き継ぎ、処理を継続する。例えば制御プロセッサ114が制御プロセッサ115の停止を検出したとする。このとき制御プロセッサ114は、FCAL管理情報113を図5のように書き換える。これにより制御プロセッサ114は、制御プロセッサ115が処理していたLUN10~19に関する入出力要求を引き継いで処理することが可能である。

【0028】また制御プロセッサ114~117は、処理した入出力要求の処理数を計数し、一定周期で共通制御メモリ112に格納する。他の制御プロセッサは、この処理数を参照し、処理数の多い制御プロセッサを見つけ出し、より処理数の少ない制御プロセッサの処理数を上げることにより、各制御プロセッサの処理数を平均化する。例えば制御プロセッサ117が制御プロセッサ116の処理数の低下と制御プロセッサ115の処理数の上昇を検出したとする。制御プロセッサ117は、FCAL管理情報113を図6のように書き換える。ただしループ133を介してAL-PAがE8を有するフレームが制御プロセッサ116に伝送されるように、PBC108~111のうちの該当するPBCのスイッチ制御を変更しなければならない。これにより制御プロセッサ

116は、LUN10~19及びLUN20~29に関する入出力要求を処理することが可能となり、制御プロセッサ間の処理数を平均化し、負荷分散を実現できる。

【0029】なお制御プロセッサの管理するLUN203のうち一部のLUNのみを他の制御プロセッサが引き継いで処理を継続することも可能である。例えば制御プロセッサ115の管理するLUN10~19のうち制御プロセッサ116がLUN15~19のみを引き継ぐことも可能である。このときFCAL管理情報113は図7のように書き換えられる。ただしLUN15~19についてAL-PA202とLUN203との対応づけが変更となるので、制御プロセッサは、ホストコンピュータ100, 101, 102にこの変更を通知しなければならない。

【0030】なお上記制御プロセッサ114~117の処理の流れは、ファイバチャネルインタフェースによってディスク制御装置107と接続されるホストコンピュータ100に関する入出力要求の処理について説明した。ホストコンピュータ101, 102は、ファイバチャネルインタフェースとは異なるインタフェースによってディスク制御装置107と接続するので、HIFC104および105は、ホストコンピュータ101及び102から受け取った入出力コマンドをファイバチャネルインタフェースに従うフレームの形式に変換した後に、ループ133を介して制御プロセッサ114~117へ送信する。これによってホストコンピュータ101および102から送られる入出力要求の処理は上記処理と同様となる。HIFC104は、ESCON (Enterprise System Connection) と呼ばれるインタフェースに従うコマンド、制御情報、データとファイバチャネルインタフェースに従うコマンド、制御情報、データとの間の変換をする機能を有する。またHIFC105は、SCSIに従うコマンド、制御情報、データとファイバチャネルインタフェースに従うコマンド、制御情報、データとの間の変換をする機能を有する。このようにホストインタフェースの変換機能を有するHIFCをディスク制御装置107に搭載することによって、ホストインタフェースの種類に関係なく、任意のホストコンピュータをディスク制御装置107に接続することができる。

【0031】また本実施形態はドライブ127~130がディスクドライブの場合について説明したが、DIFC123, 124を変更することによって磁気テープ装置やフロッピディスク・ドライブを接続することができる。またDIFCに、SCSIとファイバチャネルインタフェースの変換機能を設けることによって、ループ125, 126をSCSIによるケーブルに置き換えることもできる。

【0032】本実施形態のディスク制御装置107によれば、ホストコンピュータ100から送られる入出力要求は制御プロセッサ114~117のうちのどの制御プ

ロセッサでも処理できる。従ってホストコンピュータ100とHIFC103との間およびループ133のデータ転送速度に応じてホストコンピュータ100からの入出力要求の数が多い場合には、制御プロセッサ114～117すべてがホストコンピュータ100からの入出力要求を処理することが可能であり、制御プロセッサの台数がより少ない場合に比べてスループットが向上する。同様にホストコンピュータ101及び102から送られる入出力要求は、各々制御プロセッサ114～117のうちのどの制御プロセッサでも処理できる。このようにホストコンピュータ100、101及び102がループ133及び制御プロセッサ114～117を共有するので、従来のようにホストコンピュータ100、101及び102ごとに共通バスに接続するホストインタフェース部が独立している構成に比べて機構の分割損をなくし、記憶制御装置の性能向上を図るとともにコスト／性能比の向上を図ることができる。

【0033】

【発明の効果】以上述べたように本発明によれば、ホストコンピュータから送られる入出力要求を複数の制御プロセッサによって並列処理するとともに、制御プロセッサ間で負荷の分散をすることで、記憶制御装置の性能向上を図ることができる。特に高速のファイバチャネルの性能を充分生かすことができる。また1つの制御プロセッサが障害により停止した場合に、他の制御プロセッサが障害制御プロセッサの処理を引き継ぐので、信頼性の高い記憶制御装置を提供できる。

【0034】さらに本発明の記憶制御装置は、複数種類のインタフェースをもつホストコンピュータを接続可能であるとともに、複数のホストコンピュータが記憶制御

装置内部のファイバチャネルループ及び制御プロセッサを共有するので、コスト／性能比のよい記憶制御装置を提供できる。また異なる種類の記憶媒体の駆動装置を接続可能な記憶制御装置を提供できる。

【図面の簡単な説明】

【図1】実施形態の記憶サブシステムの構成図である。

【図2】実施形態のループ133と関連機構の構成図である。

【図3】実施形態のFCAL管理情報113のデータ構成を示す図である。

【図4】実施形態の制御プロセッサ114～117の処理の流れを示すフローチャートである。

【図5】制御プロセッサが停止したときに書き換えたFCAL管理情報113の例を示す図である。

【図6】制御プロセッサの負荷の不均衡を検出したときに書き換えたFCAL管理情報113の例を示す図である。

【図7】制御プロセッサの負荷の不均衡を検出したときに書き換えた他のFCAL管理情報113の例を示す図である。

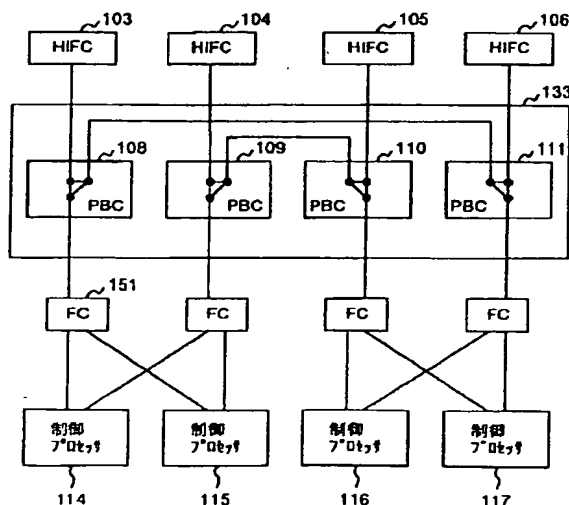
【図8】従来の記憶制御装置の構成例を示す図である。

【符号の説明】

100, 101, 102: ホストコンピュータ、103, 104, 105, 106: ホストインタフェースコントローラ、107: ディスク制御装置、113: FCAL管理情報、114～117, 119～120: 制御プロセッサ、123, 124: ドライブインタフェースコントローラ、127, 128, 129, 130: ドライブ

【図2】

図 2



【図3】

図3

113: FCAL管理情報			
	201	202	203
制御プロセッサ番号	AL-PA	LUN	
114	EF	0-9	
115	E8	10-19	
116	E4	20-29	
117	E2	30-39	

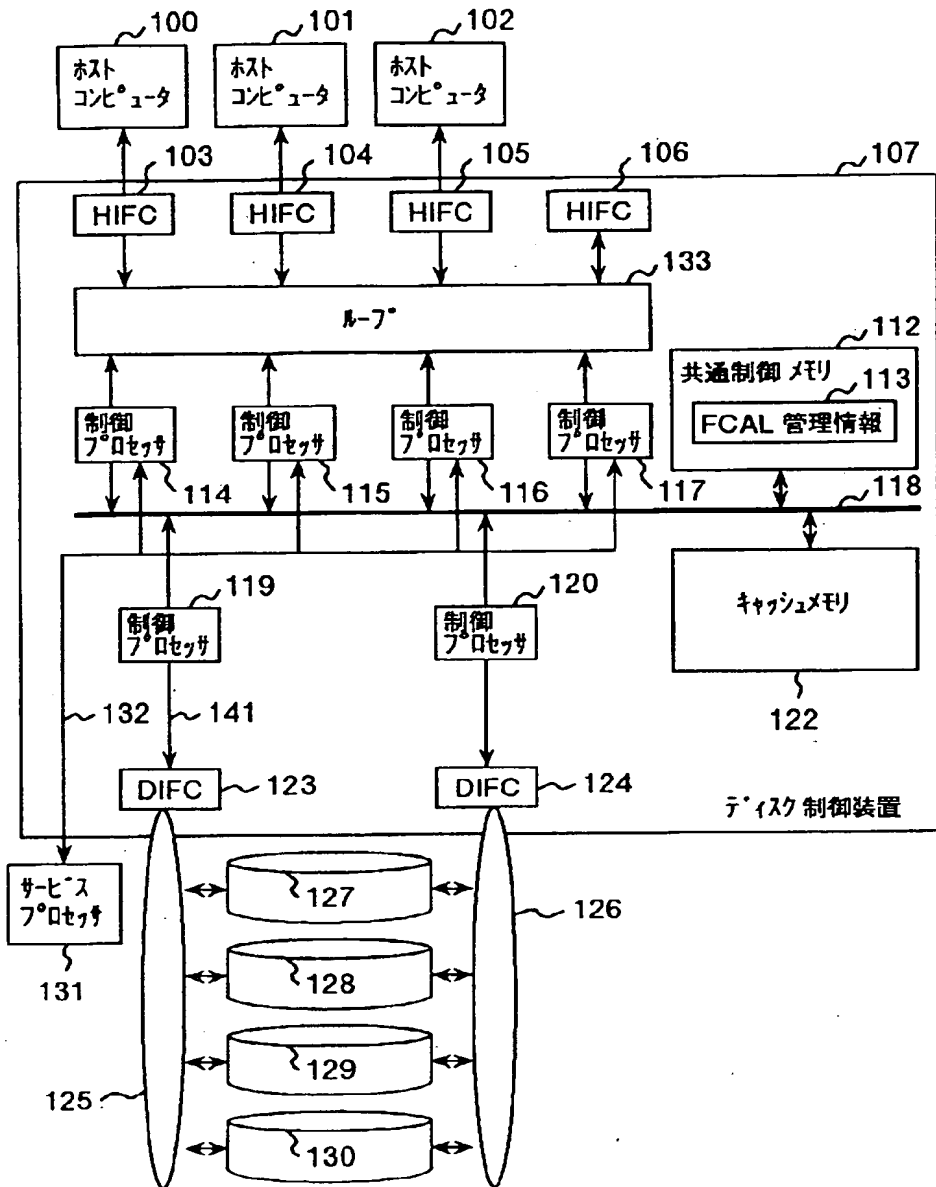
【図5】

図5

113: FCAL管理情報			
	201	202	203
制御プロセッサ番号	AL-PA	LUN	
114	EF	0-9	
114	E8	10-19	
115	-	-	
116	E4	20-29	
117	E2	30-39	

【図1】

図 1



【図6】

図6

113: FCAL管理情報

制御プロセッサ番号	201	202	203
114	AL-PA	LUN	
115	EF	0-9	
116	E8	10-19	
116	E4	20-29	
117	E2	30-39	

【図7】

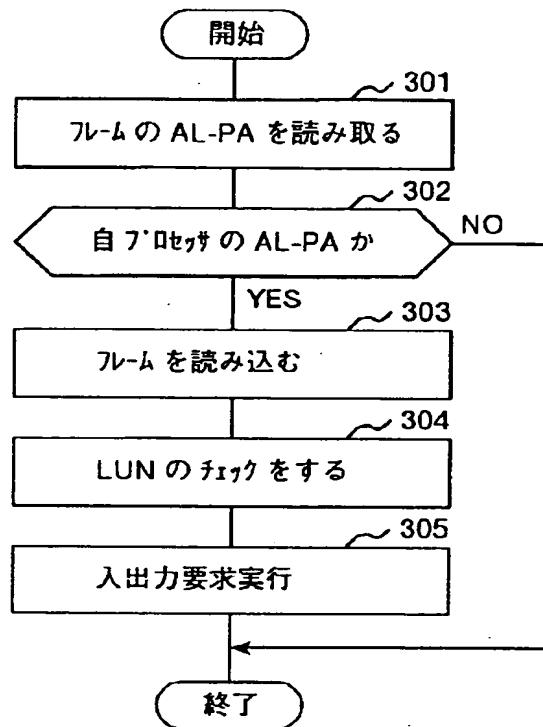
図7

113: FCAL管理情報

制御プロセッサ番号	201	202	203
114	AL-PA	LUN	
115	EF	0-9	
116	E8	10-14	
116	E4	15-29	
117	E2	30-39	

【図4】

図 4



【図8】

図8

